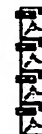


STACKED ELECTRONIC COMPONENT AND ITS MANUFACTURE, AND ELEMENT MOUNTING STRUCTURE IN SECONDARY ARRAY FORM AND ITS MANUFACTURE

Patent number: JP2000138400
Publication date: 2000-05-16
Inventor: ISHIHARA SHOSAKU; NAKAMURA MASATO; KUROKI TAKASHI; SANO HIDEZO; IZUMI MIKIO; OSAWA TAKAYA; OSHIKI MITSUHIRO
Applicant: HITACHI LTD; HITACHI MEDICAL CORP
Classification:
- international: **B06B1/06; H01L41/047; H01L41/083; B06B1/06; H01L41/00; H01L41/083; (IPC1-7): H01L41/083; H01G4/12; H01G4/30; H01G4/38; H01L41/09; H01L41/22; H04R17/00**
- european: **B06B1/06C3; B06B1/06C3E; H01L41/047; H01L41/083**
Application number: JP19980308726 19981029
Priority number(s): JP19980308726 19981029

Also published as:



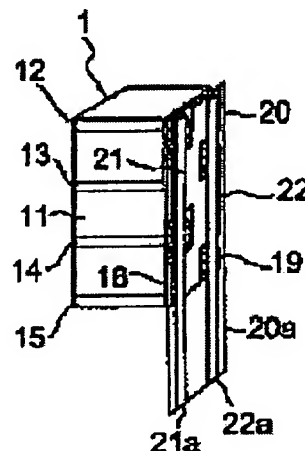
EP1132978 (A1)
WO0026971 (A)
US6798059 (B1)
CN1192442C (C)

Report a data error here

Abstract of JP2000138400

PROBLEM TO BE SOLVED: To permit the exchange of defective elements in unit of elements and the correction of connection trouble, by providing individual stacked element parts with specified pieces of electrodes for external connection each independently.

SOLUTION: A stack type of chip-shaped element 1 is constituted such that ceramics 11 are stacked in multilayer with inner electrodes 13 and 14 inbetween, and a surface electrode 12 and a rear electrode 15 are made at the surface and rear. Then, a flexible board 20 connected to one flank of the chip-shaped element 1 is provided with an extension 20a, and the ends of the electrode patterns 21 and 22 of a flexible board 20 which electrically connects the fellow alternations in stack direction of each electrode 12-15 of the chip-shaped element with each other are made two pieces of electrodes 21a and 22a for external connection. According to this constitution, the external connection of stacked electronic parts becomes easy and sure. Besides, also for the connection trouble of stacked electronic parts, it becomes possible to cope with it easily individually for each, and the exchange or repair can be performed easily and surely.



BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-138400

(P2000-138400A)

(43)公開日 平成12年 5月16日 (2000. 5. 16)

(51)Int.Cl. ⁷	識別記号	F I	テマコード(参考)
H 0 1 L 41/083		H 0 1 L 41/08	Q 5 D 0 1 9
H 0 1 G 4/12	3 5 2	H 0 1 G 4/12	3 5 2 5 E 0 0 1
	3 6 4		3 6 4 5 E 0 8 2
4/30	3 0 1	4/30	3 0 1 B
	3 1 1		3 1 1 A

審査請求 未請求 請求項の数16 O L (全 12 頁) 最終頁に続く

(21)出願番号 特願平10-308726

(22)出願日 平成10年10月29日 (1998. 10. 29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(71)出願人 000153498

株式会社日立メディコ

東京都千代田区内神田1丁目1番14号

(72)発明者 石原 昌作

神奈川県横浜市戸塚区吉田町292番地 株式会社日立製作所生産技術研究所内

(74)代理人 100078134

弁理士 武 顕次郎

最終頁に続く

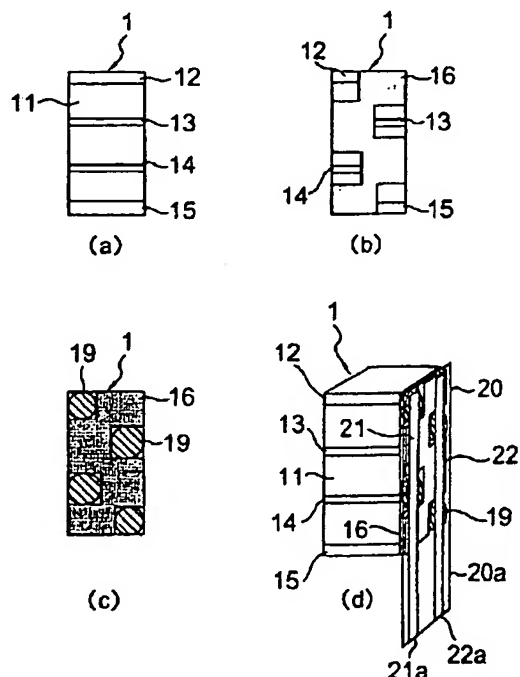
(54)【発明の名称】 積層電子部品およびその製造方法および2次元アレイ状の素子実装構造およびその製造方法

(57)【要約】

【課題】 圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子(素子実装構造)を提供することにより、また、このような素子実装構造の実現のために好適な積層電子部品を提供すること。

【解決手段】 積層電子部品を、表面電極と内部電極と裏面電極とを有する積層型のチップ状素子と、このチップ状素子の1つの側面に貼着されるフレキシブル基板とによって構成し、チップ状素子の積層方向の1つおきの電極同士を、フレキシブル基板の電極パターンによって互いに電気的に接続して2つの電極群を形成し、この2つの電極群と電気的に接続された2つの外部接続用電極部として、フレキシブル基板の電極パターンの端部を用いるようにされる。

【図 8】



【特許請求の範囲】

【請求項 1】 表面電極と内部電極と裏面電極とを有し、これらの電極の積層方向の 1 つおき同士が互いに電氣的に接続されて 2 つの電極群を構成し、この 2 つの電極群と電氣的に接続された 2 つの外部接続用電極部が設けられる積層電子部品であって、

上記積層電子部品の 1 つの側面において、上記 2 つの電極群の電氣的接続がなされた構造をとることを特徴とする積層電子部品。

【請求項 2】 請求項 1 記載において、前記積層電子部品は、チップ状素子と、このチップ状素子の 1 つの側面に貼着されたフレキシブル基板とによって構成され、

上記フレキシブル基板の電極パターンによって、上記チップ状素子の積層方向の 1 つおき同士の電極をそれぞれ接続して、前記した 2 つの電極群を構成するようにしたことを特徴とする積層電子部品。

【請求項 3】 請求項 2 記載において、前記チップ状素子と前記フレキシブル基板との間の微小隙間に、絶縁性の接着剤を充填したことを特徴とする積層電子部品。

【請求項 4】 請求項 2 記載において、前記チップ状素子の 1 つの側面もしくはこの側面の延長上に、前記 2 つの外部接続用電極部を形成したことを特徴とする積層電子部品。

【請求項 5】 請求項 4 記載において、前記 2 つの外部接続用電極部は、前記フレキシブル基板の 1 対の前記電極パターンの端部によって形成されることを特徴とする積層電子部品。

【請求項 6】 請求項 2 記載において、前記チップ状素子の前記各電極と前記フレキシブル基板の前記電極パターンとの接続は、厚膜導電ペーストまたはハンダまたは異方導電性シートによって行われることを特徴とする積層電子部品。

【請求項 7】 請求項 2 記載において、前記チップ状素子の積層方向において隣接する電極同士の導通を遮断するための絶縁パターンを、前記チップ状素子または前記フレキシブル基板に形成したことを特徴とする積層電子部品。

【請求項 8】 表面電極と内部電極と裏面電極とを有するチップ状素子と、このチップ状素子の 1 つの側面に貼着されるフレキシブル基板とによって構成され、上記チップ状素子の積層方向の 1 つおきの電極同士が、上記フレキシブル基板の電極パターンによって互いに電氣的に接続されて 2 つの電極群を構成し、この 2 つの電極群と電氣的に接続された 2 つの外部接続用電極部が、上記フレキシブル基板の電極パターンもしくは該電極パターンと接続された導電部によって形成された積層電子部品の製造方法であって、

上記チップ状素子の母材から、1 チップ相当幅でバー状

のサブ母材を切り出す工程と、

上記バー状のサブ母材の長尺側面に、対となる電極パターンを多数形成してなるフレキシブル基板母材を接続・固着して、上記バー状のサブ母材の積層方向の 1 つおきの電極同士を、上記フレキシブル基板母材の各電極パターンで電氣的に接続する工程と、

上記バー状のサブ母材と上記フレキシブル基板母材とが一体化された部材から、個々の積層電子部品を切り出す工程とを、具備したことを特徴とする積層電子部品の製造方法。

【請求項 9】 請求項 8 記載において、前記チップ状素子の母材の上下に、他の部材を貼着した状態で前記の製造工程を行うことを特徴とする積層電子部品の製造方法。

【請求項 10】 請求項 8 記載において、前記バー状のサブ母材と前記フレキシブル基板母材とが一体化された部材の状態において、前記バー状のサブ母材と前記フレキシブル基板母材との間の微小隙間に、絶縁性の接着剤を充填することを特徴とする積層電子部品の製造方法。

【請求項 11】 請求項 8 記載において、前記バー状のサブ母材の長尺側面側において露呈した前記各電極に、接続補助用のメッキを施すことを特徴とする積層電子部品の製造方法。

【請求項 12】 請求項 8 記載において、前記フレキシブル基板に、前記バー状のサブ母材の積層方向において隣接する電極同士の導通を遮断するための、絶縁パターンを形成することを特徴とする積層電子部品の製造方法。

【請求項 13】 少なくとも表面電極と裏面電極とを有するチップ状素子と、このチップ状素子の 1 つの側面に貼着されるフレキシブル基板とによって構成され、上記チップ状素子の表面電極および裏面電極が、上記フレキシブル基板の対応する電極パターンと電氣的に接続され、上記表面電極、裏面電極と電氣的に接続された 2 つの外部接続用電極部が、上記フレキシブル基板の電極パターンもしくは該電極パターンと接続された導電部によって形成された電子部品の、縦横に複数個配列して 2 次元アレイ状に一体化したモジュールとしたことを特徴とする 2 次元アレイ状の素子実装構造。

【請求項 14】 請求項 13 記載において、前記チップ状素子の前記各電極と前記フレキシブル基板の前記電極パターンとの接続は、厚膜導電ペーストまたはハンダまたは異方導電性シートによって行われることを特徴とする 2 次元アレイ状の素子実装構造。

【請求項 15】 請求項 13 記載において、前記チップ状素子は、表面電極および裏面電極のみを設けた単層構造の素子、または、表面電極と内部電極と裏面電極とを設けた積層構造の素子であることを特徴とする 2 次元アレイ状の素子実装構造。

【請求項 16】 請求項 1 乃至 7 の何れか 1 つに記載の積層電子部品、または、請求項 8 乃至 12 の何れか 1 つに記載の製造方法で作成された積層電子部品の良品のみを、縦横に複数個配列して一体化し、2 次元アレイ状のモジュールを得ることを特徴とする 2 次元アレイ状の素子実装構造の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、積層電子部品およびその製造方法および 2 次元アレイ状の素子実装構造およびその製造方法に係り、特に例えば、超音波探触装置の高性能化に好適である、2 次元アレイ状に配置される多数の圧電セラミック振動素子（積層電子部品）をもつ探触子のための技術に関する。

【0002】

【従来の技術】 近年、圧電セラミック振動素子を用いた超音波送受装置が、各種用途に利用されるようになってきている。なかでも、医療機器においては、X 線と比較し人体に不都合を与えずに体内部を観察できる超音波診断法が広く普及している。この超音波診断法に用いられる超音波診断装置には、多数の圧電セラミック振動素子をもつ探触子が超音波送受波器として用いられており、この圧電セラミック振動素子からなる探触子としては、体内部を断層的に画像形成して診断するために、超小型の圧電セラミック振動素子を多数配置してなる走査型探触子が用いられている。

【0003】 このような探触子構造のなかで、圧電セラミック振動素子を 1 次元に配設した探触子においては、素子が並ぶ方向で使用する素子数を選択することによって、焦点位置を探触子の近傍から遠くまで任意に設定できるが、これと直交する方向では焦点位置が固定となるため、焦点深度に相当する範囲以外では、クリアな断層像を得ることができない。

【0004】 そこで、上記の欠点を解決するために、圧電セラミック振動素子を、1 方向だけではなくこれと直交する方向にも配列した、2 次元アレイ状の探触子構造が開発され、かような探触子構造は、例えば、1996、IEEE ULTRASONICS SYMPOSIUM pp1523-1526 に掲載されている。このような 2 次元探触子構造では、限られた面積内に、いかに圧電セラミック振動素子を小型化して、高密度に配列するかが、高性能化のキーポイントである。さらに、高密度に配列することと同時に、2 次元アレイ状に配列された個々の圧電セラミック振動素子について、素子自身の不良が無かつ電気的接続の不良がない、すなわち、探触子を構成する個々の圧電セラミック振動素子の不良がないことが重要である。

【0005】 このような観点から、複数の素子からなるモジュールを単位として、2 次元アレイ探触子を構成する手法が、1996 IEEE ULTRASONIC

SSYMPOSIUM pp1573-1576 に掲載されている。この公知文献には、0.22mm×0.22mm の素子を 64×64 (4096) 個配置してなる探触子構造を、2 列×64 個の素子を 1 モジュールとして、組み合わせて構築する手法が開示されている。

【0006】

【発明が解決しようとする課題】 しかしながら、上記した公知文献による従来のモジュール構造は、各々の圧電セラミック振動素子を駆動するために、フレキシブル配線基板と共通電極を素子面に接続する構成となっており、素子自身が独立した構造ではなくお互いに接着された構造となっている。したがって、モジュールを組み上げた段階で、モジュールを構成している素子のなかに不良素子及び接続不良があっても、素子単位での交換あるいは接続不良の修正を容易に行うことが出来ず、モジュール単位の歩留まりが悪いという問題があった。

【0007】 また、従来のモジュール構造は、各々の圧電セラミック振動素子が単板（単層）の構成であることが前提であり、探触子の性能向上に必要な積層型の圧電セラミック振動素子への適用については、考慮されてはいなかった。

【0008】 さらに、従来の積層型の圧電セラミック振動素子は、図 15 に示すように、素子の対向する 2 つの側面に形成した側面電極 61 によって、表面電極 12、セラミックス 11 内の内部電極 13'、裏面電極 15 の各電極が、積層方向の 1 つおき同士で互いに電気的に接続されるよう構成されるか、あるいは図 16 に示すように、スルーホール内に充填した導電材 62 によって、表面電極 12、内部電極 13'、裏面電極 15 の各電極が、積層方向の 1 つおき同士で互いに電気的に接続されるよう構成されていた。このため、製造プロセスが比較的に複雑なものとなると共に、素子の小型化にも自ずと限界を生じ、かつ、素子の 2 つの電極群を外部と接続するために、素子の 2 面を外接続用の接続面とせざるを得ないため、素子交換および接続修正が困難なものとなっており、前記した探触子への適用には不向きなものとなっていた。

【0009】 本発明は上記の点に鑑みなされたもので、その目的とするところは、圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2 次元アレイ状の探触子（素子実装構造）を提供することであり、また、このような素子実装構造の実現のために好適な圧電セラミック振動素子（積層電子部品）を提供することにある。

【0010】

【課題を解決するための手段】 上記した目的を達成するために、本発明においては、例えば、積層電子部品を、表面電極と内部電極と裏面電極とを有する積層型のチップ状素子と、このチップ状素子の 1 つの側面に貼着され

10

20

30

40

50

るフレキシブル基板とによって構成し、チップ状素子の積層方向の1つおきの電極同士を、フレキシブル基板の電極パターンによって互いに電気的に接続して2つの電極群を形成し、この2つの電極群と電気的に接続された2つの外部接続用電極部として、例えば、フレキシブル基板の電極パターンの端部を用いるようにされる。そして、上記の積層電子部品を、縦横に複数個配列して一体化してなる2次元アレイ状のモジュールを形成し、このモジュールを必要な数だけ組み合わせて、超音波探触装置用の探触子を構築するようにされる。

【0011】上記のように、圧電セラミック振動素子として積層型のもの（上記の積層電子部品）を用いると、小型で高性能の探触子を得ることができる。また、個々の積層電子部品（圧電セラミック振動素子）に、それぞれ独立して2つの外部接続用電極部を設ける構成として、個々の積層電子部品（圧電セラミック振動素子）に対して、チップ状素子不良、および、外部との接続不良の検査が可能となり、不良積層電子部品の交換及び接続不良の修正が、圧電セラミック振動素子単位（積層電子部品単位）で容易に行えるようになる。その結果、モジュール不良はなくなり、高歩留まりでモジュールを製造することが可能となる。さらに、チップ状素子の1つの側面で、フレキシブル基板の電極パターンによって、チップ状素子の2つの電極群形成のための接続と、外部接続用電極部の形成とを行うようにしているので、製造プロセスが容易となり、かつ、積層電子部品（圧電セラミック振動素子）の極小化も達成できる。

【0012】

【発明の実施の形態】以下、本発明の実施の形態を、図面を用いて説明する。図1は、本発明の第1実施形態に係る積層電子部品（圧電セラミック振動素子）を示す図である。同図において、1は積層型のチップ状素子、11はセラミックス、12は表面電極、13は第1の内部電極、14は第2の内部電極、15は裏面電極、16は絶縁パターン、17は導体パターン、18は保護絶縁膜である。

【0013】本実施形態を含め本発明の各実施形態の積層タイプのチップ状素子1は、図1の（a）に示すように、内部電極13、14を挟んで多層にセラミックス11を積層し、表裏面に表面電極12と裏面電極15を形成した構成をとり、かつ、各電極の平面形状は、総べてセラミックス11の平面形状と等しく形成されたものとなっている。したがって、チップ状素子1の4つの側面において、表面電極12、第1の内部電極13、第2の内部電極14、裏面電極15のそれぞれ端面が、面一で露呈するようになっている。

【0014】かような基本構成をもつチップ状素子1において、本実施形態では、チップ状素子1の1つの側面において、図1の（b）に示すように、第1の内部電極13および第2の内部電極14がそれぞれ一部だけ露出

するように、絶縁パターン16を形成した後、図1の（c）に示すように、各電極12～15の積層方向の1つおき同士を導体パターン17によって電気的に接続するようにしてある（ここでは、表面電極12と第2の内部電極14を接続し、第1の内部電極13と裏面電極15を接続してある）。そして、図1の（d）に示すように、各電極を所定の関係に接続したチップ状素子1の側面を、保護絶縁膜18によって覆って、積層電子部品として完成するようにしてある。なお本実施形態では、表面電極12および裏面電極15が、外部接続用の電極として機能するようになっている。

【0015】このような構成をとる本実施形態の積層電子部品は、チップ状素子1の電極12～15の積層方向の1つおき同士が、チップ状素子1の1つの側面でそれぞれ接続されるので、各電極12～15の平面形状を総べて同一のものとすることができ、図15や図16に示した従来構造に比して、内部電極の形成および積層位置合わせが容易となり（製造プロセスが容易となり）、かつ、可及的な小型化が達成可能となる。

【0016】図2は、本発明の第2実施形態に係る積層電子部品を示す図であり、同図において、先の実施形態と均等なものには同一符号を付し、その説明は必要のある際を除いて割愛する（これは、以下の各実施形態においても同様である）。図2において、19はAgペースト、20はフレキシブル基板、21、22はフレキシブル基板上に形成した対をなす電極パターンである。

【0017】本実施形態では、図2の（a）に示す如く、先と同様の構成のチップ状素子1の1つの側面において、図2の（b）に示すように、各電極12～15におけるフレキシブル基板20との接続部位を除いて、絶縁パターン16を形成する。そして、図2の（c）に示すように、フレキシブル基板20の電極パターン21、22と、これに対応する各電極12～15の露呈部位とを、Agペースト19によって電気的に接続して、これによって、各電極12～15の積層方向の1つおき同士を電気的に接続するようにしてある（ここでは、表面電極12と第2の内部電極14をフレキシブル基板20の電極パターン21によって接続し、第1の内部電極13と裏面電極15をフレキシブル基板20の電極パターン22によって接続してある）。なお、図2の（c）は、図2の（b）に対して側面図の関係となっており、図2の（d）は、フレキシブル基板20のパターン形成面を示している。

【0018】このように、本実施形態では、チップ状素子1とフレキシブル基板20とによって積層電子部品を構成してあり、表面電極12および裏面電極15が、外部接続用の電極として機能するようになっている。なお、チップ状素子1とフレキシブル基板20とを接続する上記のAgペースト19は、チップ状素子1側に形成してもよいし、フレキシブル基板20側に形成してもよ

い。

【0019】かような構成をとる本実施形態においても、前記第1実施形態と同等の効果を奏する上、チップ状素子1の電極12～15の積層方向の1つおき同士の接続をフレキシブル基板20で行うので、この点でも製造工程が容易になる。

【0020】図3は、本発明の第3実施形態に係る積層電子部品を示す図であり、同図において、23はフレキシブル基板20に形成した絶縁パターンである。

【0021】本実施形態が第2実施形態と相違するのは、第2実施形態においては、チップ状素子1側に、選択的接続を可能とするための絶縁パターン16を形成していたものを、本実施形態においては、フレキシブル基板20のパターン形成面側に、選択的接続を可能とするための絶縁パターン23を形成した点にあり、その他は第2実施形態と同様である。なお、図3の(b)は、図3の(a)に示したチップ状素子1の面が接続面とした場合に、図3の(a)に対して若干拡大した側面図の関係となっており、図3の(c)は、フレキシブル基板20のパターン形成面を示している。

【0022】かような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏する。

【0023】なお、上述した絶縁パターン、導体パターンの形成方法としては、ペーストをスクリーン印刷することでパターンを形成する厚膜法、あるいは、蒸着、スパッタ、エッチング等でパターンを形成する薄膜法のいずれの方法でもよい。

【0024】さらに、フレキシブル基板20の電極パターンと接続されるチップ状素子1の電氣的接続部は、チップ状素子1の電極露出部そのものであっても、あるいは、チップ状素子1の電極上に、厚膜または薄膜で形成した導体パターン部でもあってもよい。また、チップ状素子1の電極と接続されるフレキシブル基板20の電氣的接続部は、フレキシブル基板20の電極パターンそのものであっても、あるいは、フレキシブル基板20の電極パターン上に、厚膜などで形成した導体パターン部でもあってもよい。

【0025】図4は、本発明の第4実施形態に係る積層電子部品を示す図であり、同図において、24はチップ状素子1の電極露出部上に形成しためっき膜部、25は

接続用のハンダである。

【0026】本実施形態が第3実施形態と相違するのは、図4の(a)に示す如く、先と同様の構成のチップ状素子1の1つの側面において、図4の(b)に示すように、各電極12～15上にめっき膜部24を形成した点と、チップ状素子1とフレキシブル基板20との電氣的接続に、図4の(c)に示すように、チップ状素子1側またはフレキシブル基板20に形成したハンダ25を用いた点にあり、その他は第3実施形態と同様である。なお、図4の(c)は、図4の(b)に対して若干拡大

した側面図の関係となっており、図4の(d)は、フレキシブル基板20のパターン形成面を示している。

【0027】かような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏する。

【0028】図5は、本発明の第5実施形態に係る積層電子部品を示す図であり、同図において、26は異方導電性フィルムである。

【0029】本実施形態が第4実施形態と相違するのは、図5の(a)に示す如く、チップ状素子1とフレキシブル基板20との電氣的接続に、異方導電性フィルム26を用いた点にあり、その他は第4実施形態と同様である。なお、図5の(b)は、フレキシブル基板20のパターン形成面を示している。

【0030】かような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏する。

【0031】なお、チップ状素子1とフレキシブル基板20との電氣的接続は、上述した手段以外にも、場合によっては、ワイヤボンディング、金属拡散接続等の接続方法も採用可能である。

【0032】図6は、本発明の第6実施形態に係る積層電子部品を示す図であり、同図において、27はフレキシブル基板20を貫通して形成された電極パッドである。

【0033】本実施形態が第4実施形態と相違するのは、図6の(c)、(d)に示すように、フレキシブル基板20のパターン形成面と反対側の面で露出し、かつ、フレキシブル基板20の電極パターン21、22とそれぞれ接続された電極パッド27、27を、外部接続用の電極とした点にあり、その他は第4実施形態と同様である。

【0034】かような構成をとる本実施形態においても、前記第2実施形態と同等の効果を奏し、さらに、本実施形態においては、外部接続用の対となった電極を積層電子部品の1つの側面に集約できるので、積層電子部品の外部接続も容易になるという効果がある。

【0035】次に、上述したような積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例についてを、図7を用いて説明する。図7は、図4に示した前記第4実施形態に相当する積層電子部品の製造方法と、この積層電子部品を用いた2次元アレイ状の素子実装構造の製造方法を示している。

【0036】まず、図7の(a)に示すような平板状のチップ状素子母材30から、図7の(b)に示すように、1チップ相当幅でバー状のサブ母材31を切り出す。次に、図7の(c)に示すように、切り出したサブ母材31の所定の長尺側面において露出した各電極12～15の端面上に、めっき膜部24を形成する。

【0037】一方、図7の(d)に示すように、対となる電極パターン21、22を多数形成してなるフレキシ

ブル基板母材 32 には、選択的接続を可能とするための絶縁パターン 23 を形成した後、絶縁パターン 23 から露呈した電極パターン 21、22 の各部位に、接続用のハンダ 25 を形成しておく。

【0038】次に、図 7 の (e) に示すように、バー状のサブ母材 31 とフレキシブル基板母材 32 の接続面同士を、位置合わせして密着し、加熱処理することによって、サブ母材 31 とフレキシブル基板母材 32 の各接続箇所同士を電氣的に接続する。然る後、サブ母材 31 とフレキシブル基板母材 32 との間の微小隙間 (10 ~ 数 10 μm の隙間) に絶縁性の接着剤 (例えば、低粘度のウレタン樹脂系接着剤) を充填し、サブ母材 31 とフレキシブル基板母材 32 とを強固に機械的に接続する。

【0039】次に、図 7 の (f) に示すように、サブ母材 31 とフレキシブル基板母材 32 とを一体化した母材から、ダイサーによって、個々の積層電子部品 33 を切り出すことによって、積層電子部品 33 が完成される。

【0040】そして、上記した各工程を経て完成された積層電子部品 33 を検査して、図 7 の (g) に示すように、良品のみからなる積層電子部品 33 を、縦横に所定個数組み合わせさせて樹脂 34 で一体化することによって、2 次元アレイ状探触子のためのモジュール 35 が作製され、このモジュール 35 を多数個組み合わせることによって、2 次元アレイ状探触子が完成される。

【0041】このような、モジュール 35 を組み合わせで作製した 2 次元アレイ状探触子は、個々の積層電子部品が小型化できるので、全体として小型化が可能となる。しかし、各積層電子部品の外部接続には相当の工夫を必要とし、以下に述べるような、チップ状素子の側面に貼着されたフレキシブル基板の延長部に、1 対の外部接続用の電極を設けた構成の積層電子部品 (もしくは単層タイプの電子部品) の方が、外部接続が容易・確実で、有利である。

【0042】図 8 は、本発明の第 7 実施形態に係る積層電子部品を示す図であり、本実施形態は、図 2 に示した前記第 2 実施形態の発展例である。

【0043】本実施形態が第 2 実施形態と相違するのは、チップ状素子 1 の 1 つの側面に接続されたフレキシブル基板 20 に延長部 20a を設けて、チップ状素子 1 の各電極 12 ~ 15 の積層方向の 1 つおき同士を電氣的に接続するフレキシブル基板 20 の電極パターン 21、22 の端部を、外部接続用の電極部 21a、22a としたことにより、その他は第 2 実施形態と同様である。

【0044】かような構成をとる本実施形態の積層電子部品は、チップ状素子 1 の電極 12 ~ 15 の積層方向の 1 つおき同士が、チップ状素子 1 の 1 つの側面でそれぞれ接続されるので、各電極 12 ~ 15 の平面形状を総べて同一のものとすることができ、図 15 や図 16 に示した従来構造に比して、内部電極の形成および積層位置合わせが容易となり (製造プロセスが容易となり)、か

つ、可及的な小型化が達成可能となる。しかも、チップ状素子 1 の電極 12 ~ 15 の積層方向の 1 つおき同士の接続をフレキシブル基板 20 で行うので、この点でも製造工程が容易になる。さらに、フレキシブル基板 20 に延長部 20a を設けて、この延長部 20a 上の電極パターン 21、22 の端部を、外部接続用の電極部 21a、22a として同一方向に導出しているのので、積層電子部品の外部接続が容易・確実になり、多数個の積層電子部品を組み合わせてモジュールとした場合に、その接続性能の良さが遺憾なく発揮される。しかも、積層電子部品の接続不良も、個々に対して個別に容易に対処可能となり、交換もしくは補修を容易・確実に行うことができる。

【0045】図 9 は、本発明の第 8 実施形態に係る積層電子部品を示す図であり、本実施形態は、図 3 に示した前記第 3 実施形態の発展例である。本実施形態が第 3 実施形態と相違するのは、フレキシブル基板 20 に延長部 20a を設けて、延長部 20a 上の電極パターン 21、22 の部位を、外部接続用の電極部 21a、22a とした点にあり、その他は第 3 実施形態と同様である。

【0046】かような構成をとる本実施形態においても、前記第 7 実施形態と同等の効果を奏する。

【0047】図 10 は、本発明の第 9 実施形態に係る積層電子部品を示す図であり、本実施形態は、図 4 に示した前記第 4 実施形態の発展例である。本実施形態が第 4 実施形態と相違するのは、フレキシブル基板 20 に延長部 20a を設けて、延長部 20a 上のフレキシブル基板 20 電極パターン 21、22 の部位を、外部接続用の電極部 21a、22a とした点にあり、その他は第 4 実施形態と同様である。

【0048】かような構成をとる本実施形態においても、前記第 7 実施形態と同等の効果を奏する。

【0049】図 11 は、本発明の第 10 実施形態に係る積層電子部品を示す図であり、本実施形態は、図 5 に示した前記第 5 実施形態の発展例である。本実施形態が第 5 実施形態と相違するのは、フレキシブル基板 20 に延長部 20a を設けて、延長部 20a 上の電極パターン 21、22 の部位を、外部接続用の電極部 21a、22a とした点にあり、その他は第 4 実施形態と同様である。

【0050】かような構成をとる本実施形態においても、前記第 7 実施形態と同等の効果を奏する。

【0051】上述してきた第 1 ~ 第 10 実施形態では、セラミックスを多層に積層した積層電子部品の例を示した。次に、セラミックスを単層とした単板タイプの圧電セラミック振動素子への適用例について述べる。

【0052】図 12 は、本発明の第 11 実施形態に係る電子部品 (圧電セラミック振動素子) を示す図である。同図において、41 は単層 (単板) 型のチップ状素子であり、単板のセラミックス 11 には、表面電極 12 と裏面電極 15 とが形成されている。チップ状素子 41 の 1

つの側面において、表面電極12と裏面電極15には選択的に、絶縁パターン16とめっき膜部24が形成されており、めっき膜部24をフレキシブル基板20の対応する電極パターン21、22と、ハンダ25によって電気的に接続してある。そして、フレキシブル基板20に延長部20aを設けて、延長部20a上の電極パターン21、22部位を、外部接続用の電極部21a、22aとして機能させるようにしてある。

【0053】かような構成をとる本実施形態においては、単層（単板）型の圧電セラミック振動素子であるので、積層型の圧電セラミック振動素子と較べて性能は劣るも、フレキシブル基板20に延長部20aを設けて、この延長部20a上のフレキシブル基板20の電極パターン21、22の端部を、外部接続用の電極部21a、22aとして同一方向に導出しているので、積層電子部品の外部接続が容易・確実なものとなり、多数個の積層電子部品を組み合わせモジュールとした場合に、その接続性能の良さが遺憾なく発揮される。しかも、積層電子部品の接続不良も、個々に対して個別に容易に対処可能となり、交換もしくは補修を容易・確実に行うことができる。

【0054】図13は、本発明の第12実施形態に係る電子部品（圧電セラミック振動素子）を示す図であり、本実施形態が第11実施態と異なるのは、第11実施態では単層（単板）型のチップ状素子41側に絶縁パターン16を設けていたのに対し、フレキシブル基板20側に絶縁パターン23を形成した点にあり、その他は第11実施形態と同様である。

【0055】かような構成をとる本実施形態においても、第11実施形態と同等の効果を奏する。

【0056】ここで、前述した第1～第10実施形態において示した積層電子部品（圧電セラミック振動素子）は、セラミックスの積層数が3層の場合を例にとったが、本発明の積層電子部品におけるセラミックスの積層数は任意である。

【0057】また、前述した第2～第12実施形態において示した、チップ状素子とフレキシブル基板とによって積層電子部品または電子部品を構成する場合においては、チップ状素子とフレキシブル基板との電気的接続には、先にも述べたように、ハンダ、熱可塑性ペースト、異方導電性シート等の任意の手段が採用可能であるが、チップ状素子とフレキシブル基板との間の微小隙間には、絶縁性の接着剤（例えば、低粘度のウレタン樹脂系接着剤）を充填しておくことが、機械的強度を確保する上で好ましい。

【0058】次に、上述したようなフレキシブル基板20に延長部20aに外部接続用の電極部21a、22aを設けた構成の積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例についてを、図14を用いて説明する。

【0059】まず、図14の（a）に示すように、平板状のチップ状素子母材30の上下に、平板状の音響整合層45および平板状の音響減衰層46を固着して一体化してなるチップ状素子複合母材47を用意する。次に、図14の（b）に示すように、チップ状素子複合母材47から1チップ相当幅でバー状のサブ複合母材48を切り出す。

【0060】次に、図14の（c）に示すように、切り出したバー状のサブ複合母材48の所定の長尺側面において露出した各電極12～15の端面上に、まず、Niめっきを施し、このNiめっき表面にAuめっきを施すことによって、めっき膜部24を形成する。

【0061】一方、図14の（d）に示すように、対となる電極パターン21、22を多数形成してなるフレキシブル基板母材49には、選択的接続を可能とするための絶縁パターンを形成した後、絶縁パターンから露呈した電極パターン21、22の各部位に、接続用のハンダ25を形成しておくと共に、フレキシブル基板母材49の延長部49aに、対となる電極パターン21、22とそれぞれ連なった外部接続用の電極部21a、22aを形成しておく。そして、バー状のサブ複合母材48とフレキシブル基板母材49の接続面同士を、位置合わせして密着し、加熱処理することによって、サブ複合母材48とフレキシブル基板母材49の各接続箇所同士を電気的に接続する。然る後、サブ複合母材48とフレキシブル基板母材49との間の微小隙間（10～数10μmの隙間）に絶縁性の接着剤（例えば、低粘度のウレタン樹脂系接着剤）を充填し、サブ複合母材48とフレキシブル基板母材49とを強固に機械的に接続する。

【0062】次に、図7の（e-1）、（e-2）に示すように、サブ複合母材48とフレキシブル基板母材49とを一体化した母材から、ダイサーによって、個々の積層電子部品50を切り出すことによって、音響整合層45および音響減衰層46付きの積層電子部品（セラミック振動素子）50が完成される。

【0063】そして、上記した各工程を経て完成された積層電子部品50を検査して、図14の（f）に示すように、良品のみからなる積層電子部品50を、縦横に所定個数組み合わせさせて樹脂51で一体化することによって、2次元アレイ状探触子のためのモジュール52が作製される。続いて、これらモジュール52の各積層電子部品50の検査を行う。上述したように、個々の積層電子部品50の1つの側面で電極を接続した構造とすること、および、接続部にハンダ、熱可塑性ペースト、異方導電性シート等を使用することによって、通常のLSIなど半導体素子と同様に、素子単位で不良素子の交換及び接続不良の修正が容易に行える。

【0064】最後に、上記モジュール52の良品のみを多数個組み合わせることによって、2次元アレイ状探触子が完成される。なお本例では、15mm×15mmに

64×64個の積層電子部品50が並んだ2次元アレイ状探触子を、64個の素子からなるモジュール52を64枚並べて作製した。

【0065】なお、図14に示した例では、積層圧電セラミック素子（積層電子部品）の場合について述べたが、図12、図13に示したような、単層の圧電セラミック素子（単層の電子部品）についても、同様の方法で2次元アレイ状探触子が作製できること言うまでもない。

【0066】また、音響整合層および音響減衰層の接着についても、特に図14の製造工程に限定されるものでなく、例えば、積層圧電セラミック素子（積層電子部品）をマトリックス状に整列させてから、積層圧電セラミック素子に音響整合層および音響減衰層を固着するようにしてもよい。

【0067】

【発明の効果】以上のように本発明によれば、圧電セラミック振動素子として積層型素子を用いることが可能で、かつ、素子単位で不良素子の交換および接続不良の修正が可能な、2次元アレイ状の探触子（素子実装構造）を実現でき、また、このような素子実装構造の実現のために好適な圧電セラミック振動素子（積層電子部品）を提供することができる。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図2】本発明の第2実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図3】本発明の第3実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図4】本発明の第4実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図5】本発明の第5実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図6】本発明の第6実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図7】本発明の実施形態による積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の1例を示す説明図である。

【図8】本発明の第7実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図9】本発明の第8実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図10】本発明の第9実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図11】本発明の第10実施形態に係る積層電子部品（圧電セラミック振動素子）を示す説明図である。

【図12】本発明の第11実施形態に係る単層タイプの電子部品（圧電セラミック振動素子）を示す説明図である。

【図13】本発明の第12実施形態に係る単層タイプの電子部品（圧電セラミック振動素子）を示す説明図である。

【図14】本発明の実施形態による積層電子部品の製造方法、および、これを用いた2次元アレイ状の素子実装構造の製造方法の他の1例を示す説明図である。

【図15】従来の積層電子部品（圧電セラミック振動素子）の1例を示す説明図である。

【図16】従来の積層電子部品（圧電セラミック振動素子）の他の1例を示す説明図である。

【符号の説明】

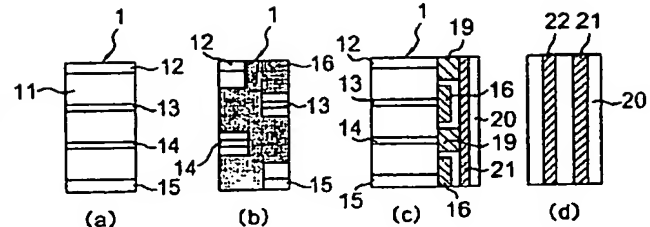
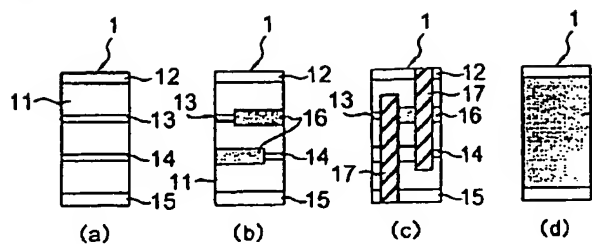
- 1 積層型のチップ状素子
- 11 セラミック
- 12 表面電極
- 13 第1の内部電極
- 14 第2の内部電極
- 15 裏面電極
- 16 絶縁パターン
- 17 導体パターン
- 18 保護絶縁膜
- 19 Agペースト
- 20 フレキシブル基板
- 20a 延長部
- 21、22 電極パターン
- 21a、22a 外部接続用の電極部
- 23 絶縁パターン
- 24 めっき膜部
- 25 ハンダ
- 26 異方導電性フィルム
- 30 チップ状素子母材
- 31 サブ母材
- 32 フレキシブル基板母材
- 33 積層電子部品
- 34 樹脂
- 35 モジュール
- 41 単層（単板）型のチップ状素子
- 45 音響整合層
- 46 音響減衰層
- 47 チップ状素子複合母材
- 48 サブ複合母材
- 49 フレキシブル基板母材
- 50 積層電子部品
- 51 樹脂
- 52 モジュール

【図 1】

【図 2】

【図 1】

【図 2】

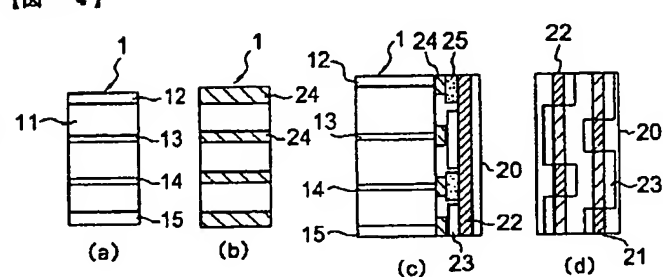
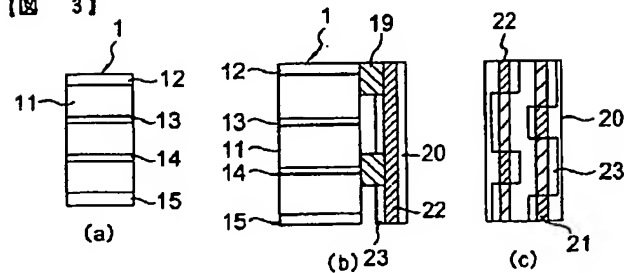


【図 3】

【図 4】

【図 3】

【図 4】

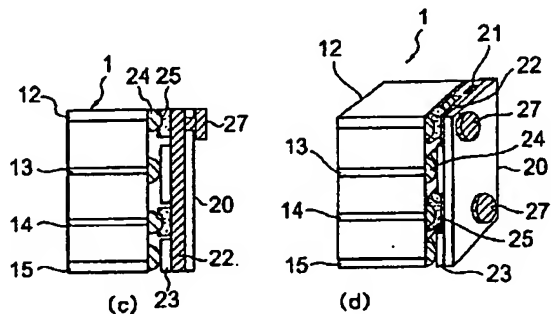
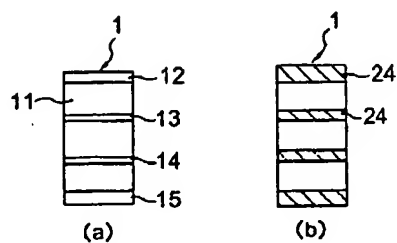
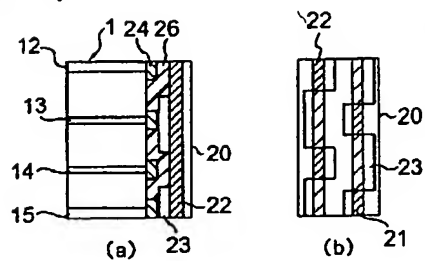


【図 5】

【図 6】

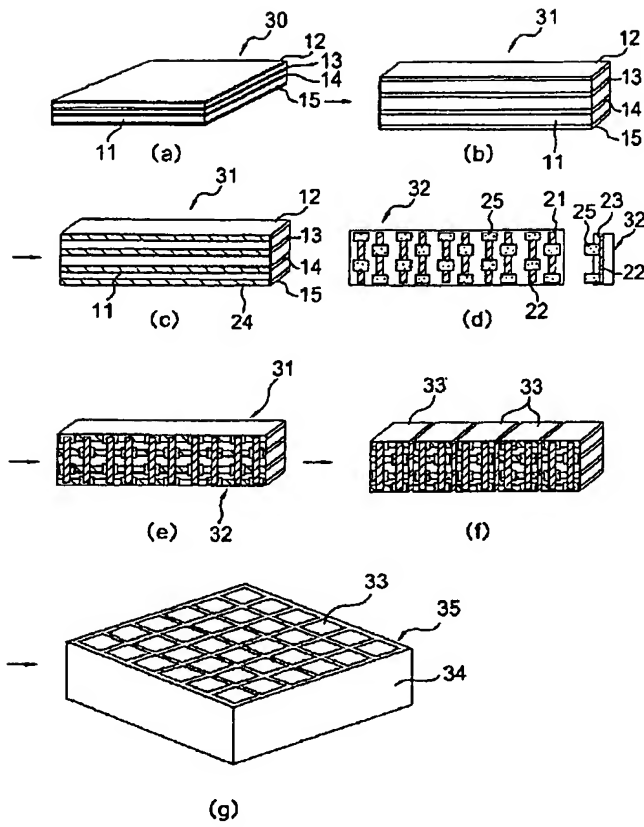
【図 5】

【図 6】



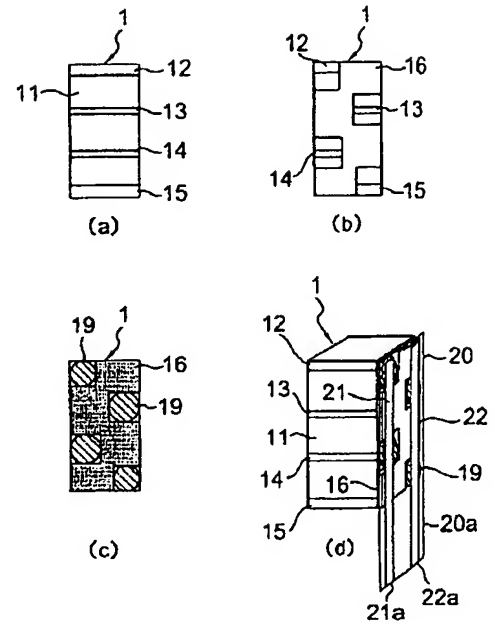
【図 7】

【図 7】



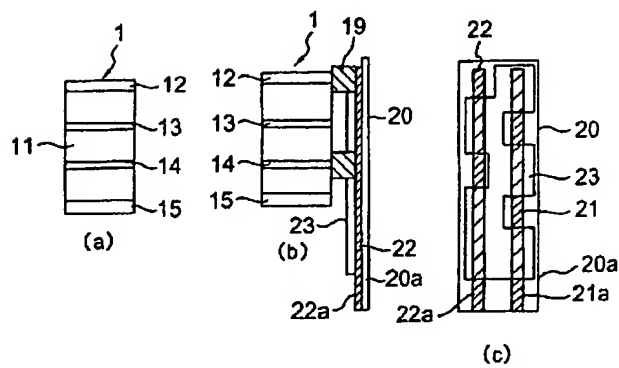
【図 8】

【図 8】



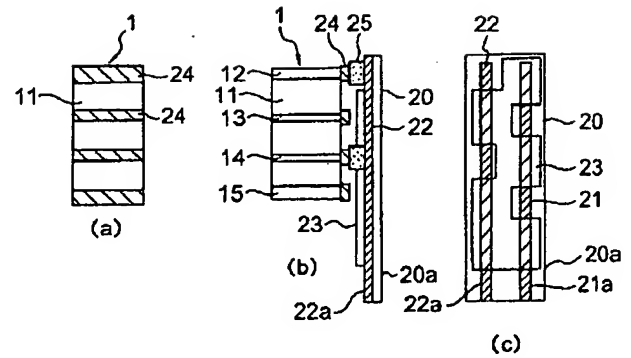
【図 9】

【図 9】



【図 10】

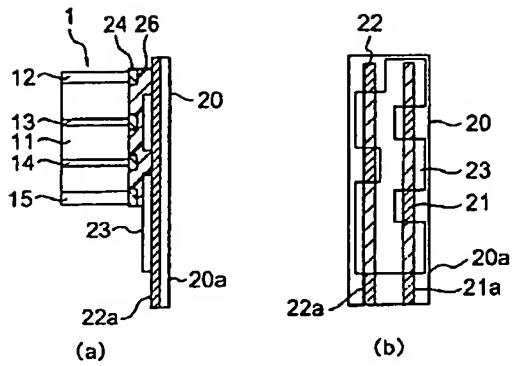
【図 10】



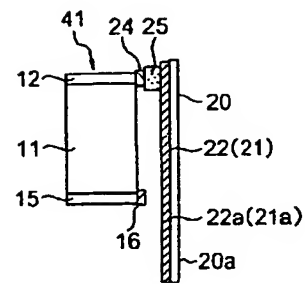
【図 11】

【図 12】

【図 11】



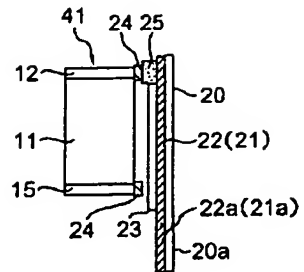
【図 12】



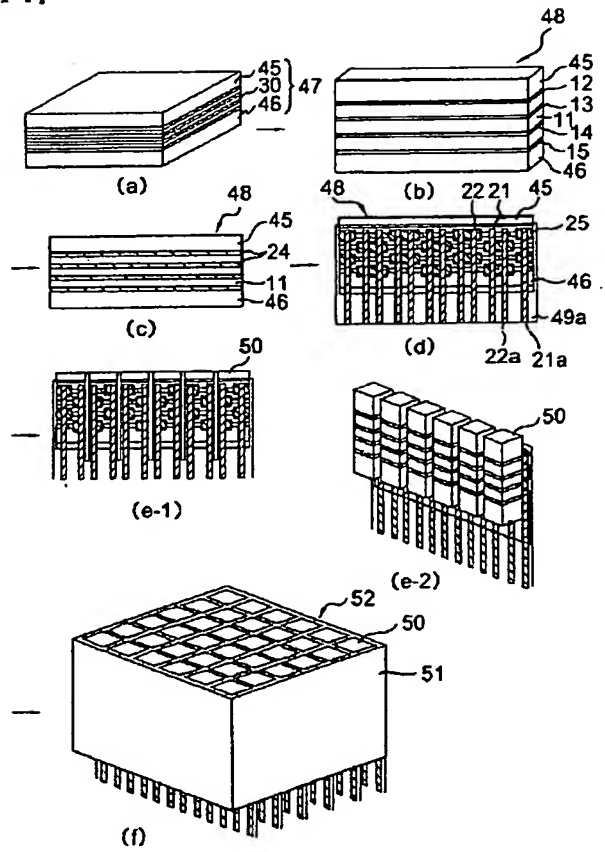
【図 13】

【図 14】

【図 13】

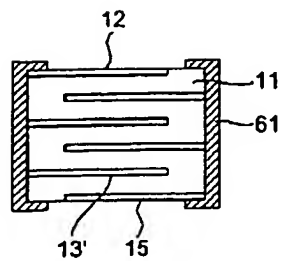


【図 14】



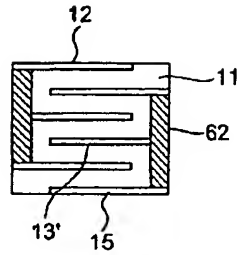
【図 15】

【図 15】



【図 16】

【図 16】



フロントページの続き

(51) Int. Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 G 4/30	3 1 1	H 0 1 G 4/30	3 1 1 E
4/38		H 0 4 R 17/00	3 3 0 H
H 0 1 L 41/09			3 3 2 A
41/22		H 0 1 G 4/38	A
H 0 4 R 17/00	3 3 0	H 0 1 L 41/08	C
	3 3 2	41/22	Z

(72)発明者 中村 真人
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 黒木 喬
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 佐野 秀造
東京都千代田区内神田一丁目1番14号 株
式会社日立メディコ内

(72)発明者 泉 美喜雄
東京都千代田区内神田一丁目1番14号 株
式会社日立メディコ内

(72)発明者 大澤 孝也
東京都千代田区内神田一丁目1番14号 株
式会社日立メディコ内

(72)発明者 押木 光博
東京都千代田区内神田一丁目1番14号 株
式会社日立メディコ内

F ターム(参考) 5D019 AA06 AA23 AA25 AA26 BB02
BB09 BB14 BB19 BB25 BB28
BB30 FF04 HH01 HH02
5E001 AB01 AB03 AC03 AF00 AF02
AF03 AF06 AH01 AH03 AH05
AH06 AH07 AJ03 AZ01
5E082 AB01 AB03 BC40 CC05 EE41
FG26 GG01 JJ03 JJ11 JJ21
JJ23 JJ27 LL01 LL02 LL03

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)